Зміст

[1 Визначення варіанту завдання 2](#_Toc464157887)

[2 Розробка операційної схеми 3](#_Toc464157888)

[3 Розробка функціонального мікроалгоритму 4](#_Toc464157889)

[4 Логічне моделювання 6](#_Toc464157890)

[5 Управляючі сигнали 8](#_Toc464157891)

[6 Функціональна схема операційного пристрою 9](#_Toc464157892)

[7 Синтез управляючого автомата 10](#_Toc464157893)

[8 Розробка структурної схеми 13](#_Toc464157894)

[9 Опис функціональної схеми 14](#_Toc464157895)

# Визначення варіанту завдання

Запишу номер залікової книги в двійковому коді:

510610 = 11111100102

Тобто а6 = 1, а5 = 1, а4 = 0, а3 = 0, а2 = 1, а1 = 0.

Визначу особисте завдання:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| а6 | а5 | а4 | Спосіб множення | Розрядність операндів |
| 1 | 1 | 0 | 3 | 8 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| а6 | a3 | a2 | Значення операндів | |
| 1 | 0 | 1 | 29h | 15h |

|  |  |  |
| --- | --- | --- |
| a3 | a2 | Тип тригера |
| 0 | 1 | T |

|  |  |
| --- | --- |
| а1 | Тип автомата |
| 0 | Мили |

# Розробка операційної схеми

Операційна схема, що реалізує третій спосіб множення подана на рисунку 1, де RG2, RG3 – регістри накопичення суми часткових добутків,   
RG1 – регістр множеного, RG4 – регістр множника, RG5 (CT) – лічильник циклів, TC – тригер переносу, SM – комбінаційний суматор. Регістри RG2, RG3, RG4 реалізують мікрооперації зсуву, лічильник RG5 дозволяє формувати ознаку нуля – що визначає закінчення обчислення добутку. За нульовим вмістом регістру RG4 результат обчислення формується в регістрах RG2 (старші розряди), RG3 (молодші розряди).

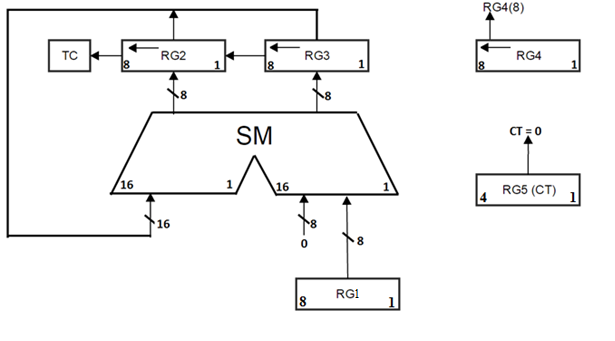
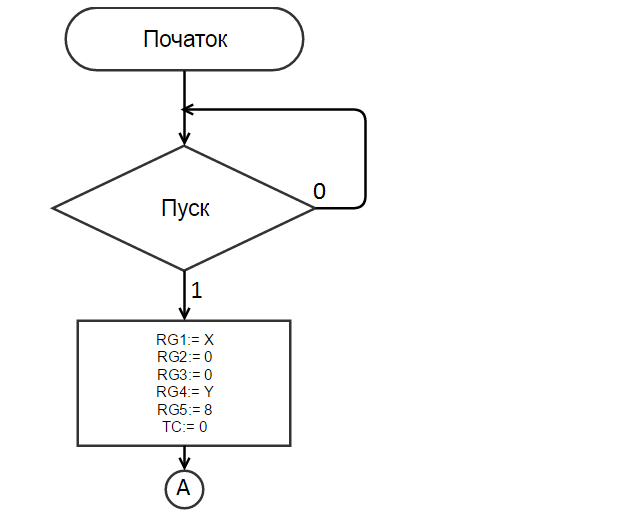


Рисунок 1 – Операційна схема третього способу множення

# Розробка функціонального мікроалгоритму

Для розробки операційної схеми побудую функціональний мікроалгоритм. Припущу, що операційна схема входить до складу АЛП із централізованим управлінням. Отже, робота цього блоку розпочинається із надходження сигналу «Пуск» від центрального блоку управління. Функціональний мікроалгоритм зображений на рисунку 2, де, STOP – ознака нуля в лічильнику циклів RG5.



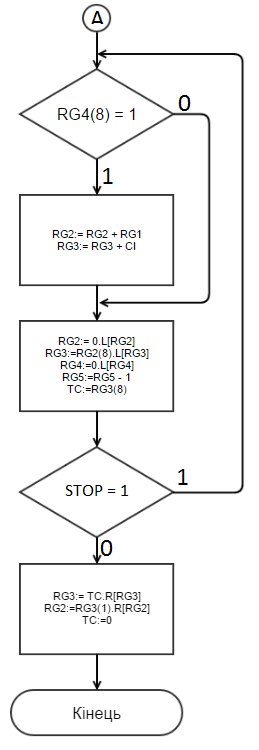


Рисунок 2 - Функціональний мікроалгоритм

# Логічне моделювання

Логічне моделювання покрокової роботи операційної схеми приведено в таблиці 1.

Значення операндів:

Х = 29h = 4110

Y = 15h = 2110

Z = 35Dh = 86110

Таблиця 1. Логічне моделювання роботи операційної схеми

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № такту | RG1 | RG2 | RG3 | RG4 | RG5 | TC | STOP | MO |
| ПС | 29h | 00h | 00h | 15h | 08h | 0 | 0 | Початковий стан |
| 1 | 29h | 00h | 00h | 2Ah | 07h | 0 | 0 | RG2←, RG3←, RG4←,  RG5:=RG5 – 1;  STOP = 0 |
| 2 | 29h | 00h | 00h | 54h | 06h | 0 | 0 | RG2 ←, RG3←, RG4←,  RG5:=RG5 – 1;  STOP = 0 |
| 3 | 29h | 00h | 00h | A8h | 05h | 0 | 0 | RG2 ←, RG3←, RG4←,  RG5:=RG5 – 1;  STOP = 0 |
| 4 | 29h | 00h  +00h  00h  00h | 00h  +29h  29h  52h | 50h | 04h | 0 | 0 | RG3 + RG1  RG2 + CI  RG2 ←, RG3←, RG4←,  RG5:=RG5 – 1;  STOP = 0 |

Продовження таблиці 1

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № такту | RG1 | RG2 | RG3 | RG4 | RG5 | TC | STOP | MO |
| 5 | 29h | 00h | A4h | A0h | 03h | 0 | 0 | RG2 ←, RG3←, RG4←,  RG5:=RG5 – 1;  STOP = 0 |
| 6 | 29h | 00h  +00h  00h  01h | A4h  +29h  CDh  9Ah | 40h | 02h | 0 | 0 | RG3 + RG1  RG2 + CI  RG2 ←, RG3←, RG4←,  RG5:=RG5 – 1;  STOP = 0 |
| 7 | 29h | 03h | 34h | 80h | 01h | 0 | 0 | RG2 ←, RG3←, RG4←,  RG5:=RG5 – 1;  STOP = 0 |
| 8 | 29h | 03h  +00h  03h  06h | 34h  +29h  5Dh  BAh | 00h | 00h | 0 | 1 | RG3 + RG1  RG2 + CI  RG2 ←, RG3←, RG4←,  RG5:=RG5 – 1;  STOP = 1 |
| 9 | 29h | 03h | 5Dh | 00h | 00h | 0 | 1 | RG2 →, RG3 → |

# Управляючі сигнали

Перелік управляючих сигналів наведений в таблиці 2.

Таблиця 2 – Управляючі сигнали

|  |  |  |
| --- | --- | --- |
| Елемент | Мікрооперація | Управляючий сигнал |
| RG1 | Скидання | RESET |
| Запис | START |
| RG2 | Скидання | RESET |
| Запис | SUM |
| Зсув вліво | SHL |
| Зсув вправо | SHR |
| Заповнення старшого розряду при зсуві вправо | DR |
| Заповнення молодшого розряду при зсуві вліво | DL |
| RG3 | Скидання | RESET |
| Запис | SUM |
| Зсув вліво | SHL |
| Зсув вправо | SHR |
| Заповнення старшого розряду при зсуві вправо | DR |
| Заповнення молодшого розряду при зсуві вліво | DL |
| RG4 | Скидання | RESET |
| Запис | SUM |
| Зсув вліво | SHL |
| Заповнення молодшого розряду при зсуві вліво | DL |
| RG5 (СT) | Скидання | RESET |
| Запис | START |
| Декримент | SHL |
| TC | Скидання | RESET |
| Запис | SHL |

# Функціональна схема операційного пристрою

Функціональна схема операційного пристрою наведена на рисунку 3.

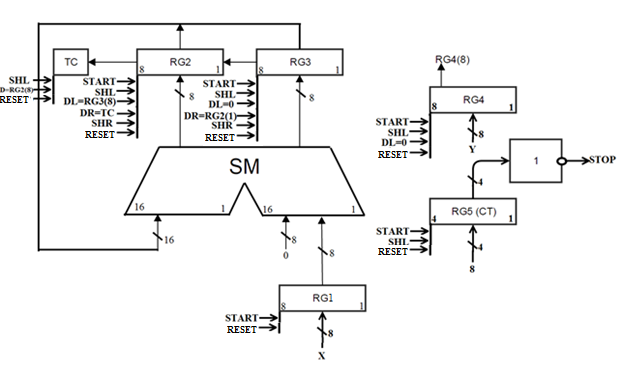


Рисунок 3 – Функціональна схема

# Синтез управляючого автомата

Побудую графічну схему автомата та проведу його розмітку   
(рисунок 4).

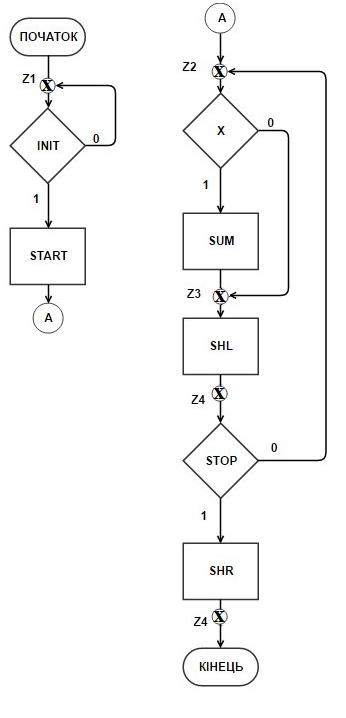


Рисунок 4 – Графічна схема автомата

На основі ГСА побудую граф автомата (рисунок 5).

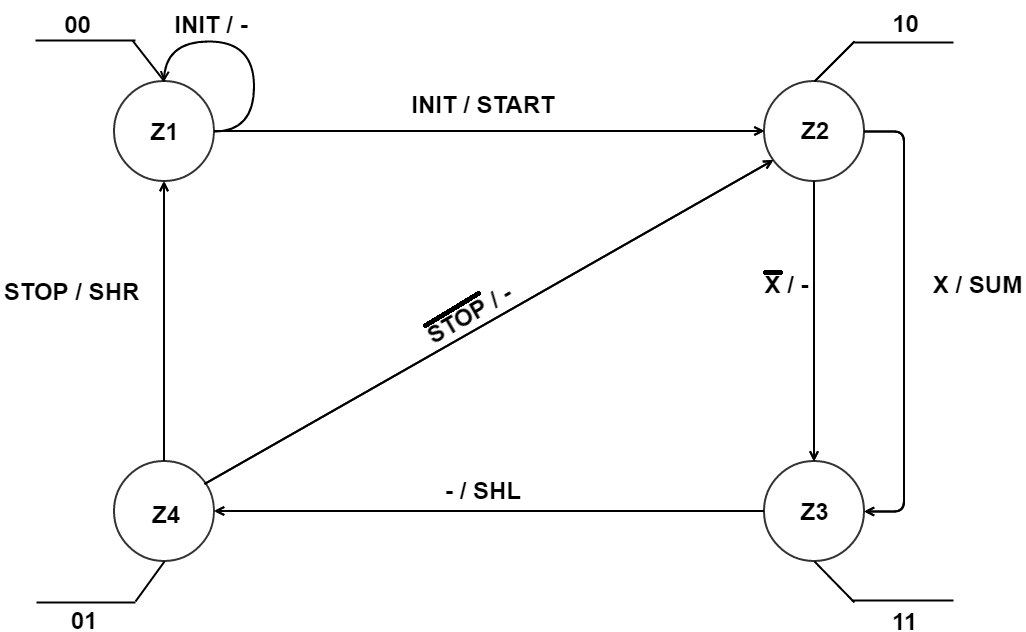


Рисунок 5 – Граф автомату

На основі графу автомата побудую структурну таблицю графа автомата (таблиця 3).

Таблиця 3 – Структурна схема автомата

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Перехід  ПС → СП | Код ПС | | Код СП | | Логічні умови | | | Керуючі сигнали | | | | Функції збудження | |
| Q2t | Q1t | Q2t+1 | Q1t+1 | INIT | X | STOP | SUM | SHL | SHR | START | T2 | T1 |
| Z1 → Z1 | 0 | 0 | 0 | 0 | 0 | - | - | 0 | 0 | 0 | 0 | 0 | 0 |
| Z1 → Z2 | 0 | 0 | 1 | 0 | 1 | - | - | 0 | 0 | 0 | 1 | 1 | 0 |
| Z2 → Z3 | 1 | 0 | 1 | 1 | - | 1 | - | 1 | 0 | 0 | 0 | 0 | 1 |
| Z2 → Z3 | 1 | 0 | 1 | 1 | - | 0 | - | 0 | 0 | 0 | 0 | 0 | 1 |
| Z3 → Z4 | 1 | 1 | 0 | 1 | - | - | - | 0 | 1 | 0 | 0 | 1 | 0 |
| Z4 → Z2 | 0 | 1 | 1 | 0 | - | - | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| Z4 → Z1 | 0 | 1 | 0 | 0 | - | - | 1 | 0 | 0 | 1 | 0 | 0 | 1 |

На основі структурної таблиці автомату визначу МДНФ функції керуючих сигналів та функції збудження тригерів. Мінімізацію виконаю за допомогою діаграм Вейча (рисунок 6).

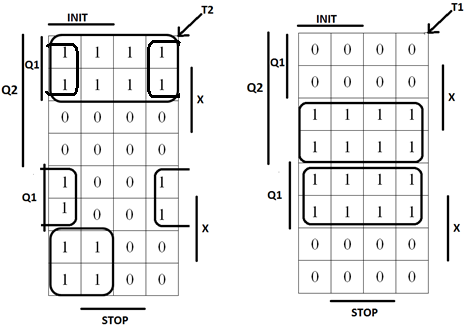


Рисунок 6 – Діаграми Вейча (мінімізація функцій збудження тригерів)

Оскільки кожен керуючий сигнал приймає значення «1» лише один раз в структурній схемі автомата, то їх мінімізація не потрібна (тобто отримані значення, що описані в структурній вже є мінімальними і подальша їх мінімізація не можлива).

Отримав:

T2 = Q2Q1 V Q1STOP V Q2Q1INIT

T1 = Q2Q1 V Q2Q1

SUM = Q2Q1X

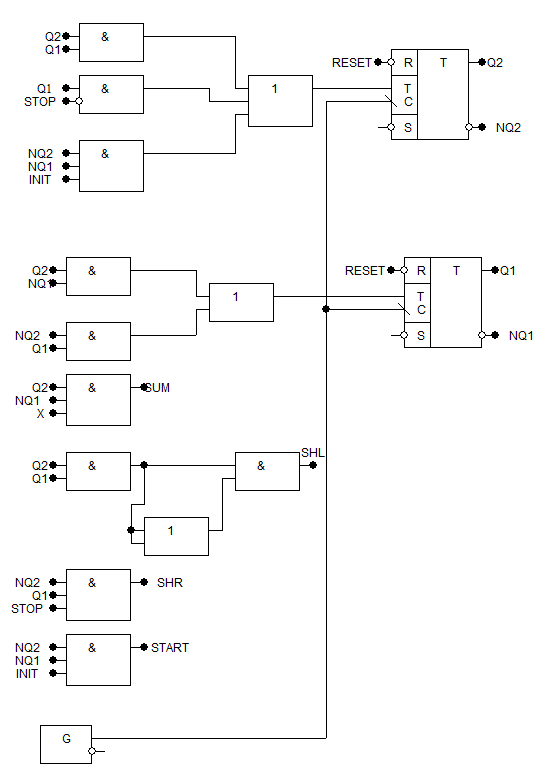
SHL = Q2Q1

SHR = Q2Q1STOP

START = Q2Q1INIT

# Розробка структурної схеми

Структурна схема АЛП з розділеною логікою зображена на рисунку 7.



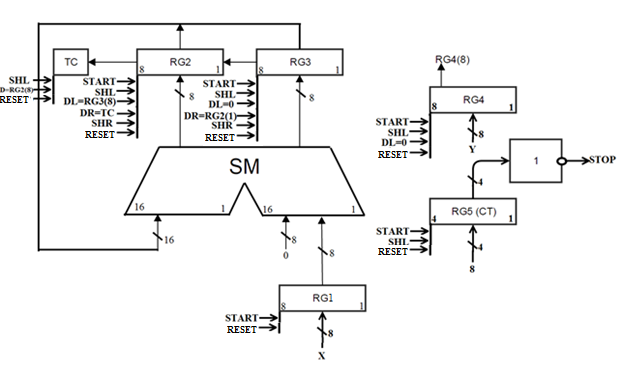


Рисунок 7 – Структурна схема АЛП

# Опис функціональної схеми

Функціональна схема наведена в документі НТТУ КПІ 16 5106 002 Е2. Вона складається з регістрів RG – 1 - 4; лічильника тактів СТ – 5; суматорів SM – 12, 13; тригерів Т – 11, 23; тригера D – 16; логічних елементів І та   
АБО – 6 - 10, 14, 15, 17 - 22, 24.

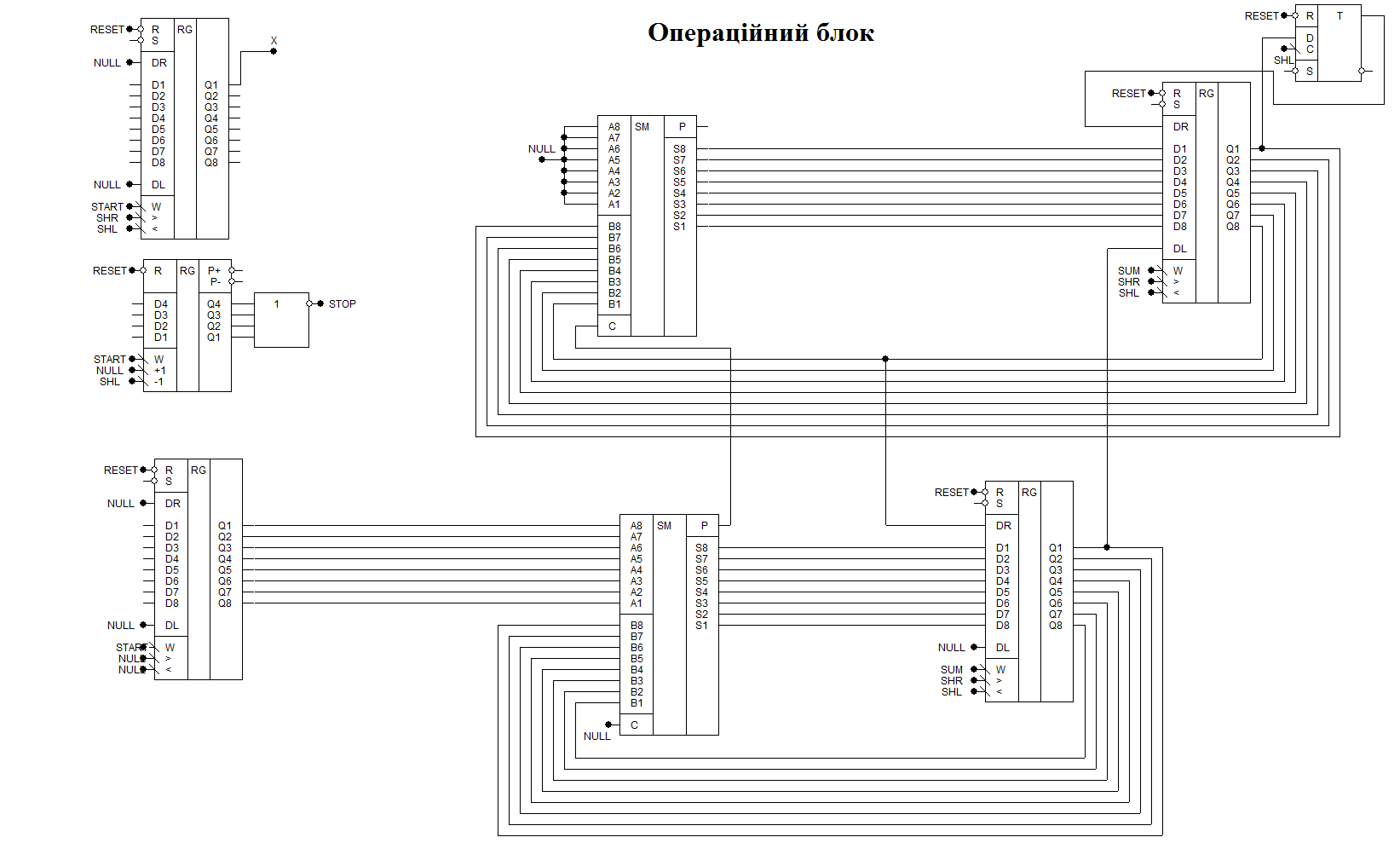
Функціонально пристрій множення поділяється на дві частини – операційна частина та управляючий автомат.

Суматори 12, 13, регістри 1 - 4, лічильник тактів 5, тригер 16 складають операційну частину пристрою множення. Регістр 1 призначений для зберігання множеного, регістр 2 – множеного, регістри 3, 4 – накопичення сум часткових добутків та отримання результату множення. Суматори 12, 13 використовуються для обчислення сум часткових добутків. Лічильник 5 – для підрахунку кількості тактів множення.

До складу управляючого автомата входять тригери 12, 23 та логічні   
елементи – 6 - 10, 14, 15, 17 - 22, 24.

На входи пристрою 1 – 24 поступають вхідні дані – розряди множеного   
X[0] – X[7], розряди множника Y[0] – Y[7], кількість циклів CT[0] – CT[3]. На вхід 21 подається сигнал початкового встановлення тригерів RESET, на вхід 22 – подається тактовий сигнал С генератора, на вхід 23 – подається сигнал, що сигналізує про початок процесу множення INIT, на вхід 24 – подається сигнал, що є постійно нулем “0”. На виходах 70 – 77, 53 – 60 формуються розряди результату F[15] – F[0].

У кожному такті роботи пристрою відповідно до мікроалгоритму управління управляючі сигнали з виходів автомату 25 – 28, поступають на управляючі входи елементів операційного пристрою, де відбуваються відповідні дії.

**Додаток А - роздруківка схеми із моделюючої програми AFDK**

